



Nombre y apellido: \_\_\_\_\_ Padrón: \_\_\_\_\_

e-mail: \_\_\_\_\_ Cuatrimestre de cursada: \_\_\_\_\_

- Para aprobar deben contestarse bien 6 puntos del total.
- Cada pregunta otorga una cantidad de puntos especificada entre corchetes sobre el margen izquierdo.
- Si la pregunta es respondida correctamente suma el puntaje especificado.
- Si la pregunta tiene opciones y es respondida incorrectamente resta el puntaje especificado.
- Si la pregunta no es respondida no se asignan puntos.
- Considerar  $V_{th} = 26 \text{ mV}$ .

- [½ pt.] 1) Calcular la diferencia de potencial ( $\phi_B$  [mV]) entre los extremos de un bloque de silicio de 2 mm de largo cuyo nivel de dopaje sigue la ley:  $N_D(x) = (5 \cdot 10^7 + x \cdot 0,5 \cdot 10^{18} \text{ m}^{-1}) \text{ at/cm}^3$  con  $x$  en metros.
- [1 pt.] 2) En un diodo PN con dopajes  $N_A = 10^{18} \text{ at/cm}^3$ ,  $N_D = 10^{17} \text{ at/cm}^3$ , polarizado, donde **no** vale la hipótesis de diodo corto, se genera un exceso de minoritarios en la QNR del lado menos dopado que sigue la función  $\delta m(x) = 10^3 \text{ at/cm}^3 \exp\left(-\frac{x-x_o}{1 \mu\text{m}}\right)$  donde  $m$  es la concentración de minoritarios en el lado menos dopado,  $x_o$  es el límite entre la SCR y la QNR del lado menos dopado, y la longitud de la QNR a partir de  $x_o$  es  $L = 5 \mu\text{m}$ . Calcular la densidad de corriente de difusión de minoritarios en el lado menos dopado en el punto  $x - x_o = L/2$  ( $J_{diff}$  [A/cm<sup>2</sup>]).
- [1 pt.] 3) Calcular la carga por unidad de área en el gate ( $Q'_G$  [C/cm<sup>2</sup>]) de una juntura MOS fabricada con polysilicio dopado tipo P y sustrato dopado con  $N_D = 10^{17} \text{ cm}^{-3}$ ,  $C'_{ox} = 2,7 \times 10^{-7} \text{ F/cm}^2$ ,  $\gamma = 0,1 \text{ V}^{1/2}$ ,  $V_T = -0,6 \text{ V}$  cuando se aplica  $V_{GB} = 1,7 \text{ V}$ .
- [1 pt.] 4) Dado un diodo ideal con  $N_D = 10^{18} \text{ at/cm}^3$ ,  $N_A = 10^{16} \text{ at/cm}^3$ ,  $I_o = 1,19 \cdot 10^{-13} \text{ A}$ ,  $A = 0,05 \text{ mm}^2$ , hallar el tiempo de tránsito de los electrones:  $\tau_{TN}$  [s].
- [½ pt.] 5) Un JFET de canal N está conectado de la siguiente forma: el drain conectado a una fuente de alimentación de 5 V, el source conectado a una resistencia  $R = 1 \text{ k}\Omega$  y el otro extremo de la resistencia está conectado a tierra, y el gate conectado a una fuente de tensión que controla la corriente de drain. Los parámetros del transistor son  $I_{DSS} = 4 \text{ mA}$  y  $V_P = -2 \text{ V}$ . ¿Cuál debe ser la tensión que se aplica al gate para obtener  $I_D = 1 \text{ mA}$ ?
- [½ pt.] 6) En un proceso de fabricación CMOS de sustrato tipo P, luego de aplicarse la máscara de ZONA ACTIVA, ¿cuál máscara debe aplicarse?
- [1 pt.] 7) En un proceso CMOS estándar se fabricó un inversor CMOS de forma tal que  $W_n = W_p$  y  $L_n = L_p$ . En este proceso, se sabe que  $\mu_n = 3 \times \mu_p$  y se puede considerar  $V_{Tn} \simeq -V_{Tp}$ . Se midió el tiempo de propagación de alto a bajo y se obtuvo  $t_{PHL} = 10 \text{ ns}$ . ¿Cuánto será el tiempo de propagación de bajo a alto ( $t_{PLH}$ )?
- [1 pt.] 8) Se implementa un amplificador emisor común sin realimentación con un transistor NPN con parámetros  $\beta = 200$ ,  $V_A = 20 \text{ V}$  y  $V_{BE(ON)} = 0,7 \text{ V}$ . La tensión de alimentación es  $V_{CC} = 5 \text{ V}$ , y el transistor está polarizado con dos resistencias de base:  $R_{B1} = 30 \text{ k}\Omega$  conectada entre  $V_{CC}$  y la base del transistor, y  $R_{B2} = 20 \text{ k}\Omega$  conectada entre la base del transistor y tierra; y una resistencia de colector,  $R_C = 100 \Omega$ . A la entrada del amplificador, se conecta una señal ( $v_s$ ) con resistencia serie  $R_s = 1 \text{ k}\Omega$  a través de un capacitor de desacople de valor adecuado. Calcular  $A_{vo}$ ,  $R_{IN}$  y  $R_{OUT}$ .



- [½ pt.] 9) Se implementa un amplificador emisor común sin realimentación y sin carga, polarizado con una única  $R_B$  y una única  $R_C$ . A la entrada, la fuente de señal presenta una tensión  $v_s$  pico y una resistencia serie  $R_s$  no nula. El diseño es tal que se obtiene  $v_{in} = 10$  mV pico y una señal a la salida que presenta distorsión solamente en el semiciclo negativo. ¿Qué se debe cambiar en el diseño para evitar todo tipo de distorsión?
- [1 pt.] 10) Un amplificador source común alimentado con  $V_{DD} = 3$  V está polarizado con  $I_{DQ} = 2$  mA y resistencia de drain  $R_D = 500 \Omega$ . Los parámetros del transistor son  $\mu C'_{OX} = 150 \mu\text{A}/\text{V}^2$ ,  $W = 500 \mu\text{m}$ ,  $L = 5 \mu\text{m}$ ,  $V_T = 0,8$  V y se puede considerar  $\lambda = 0$ . ¿Cuál es la máxima tensión pico de señal a la salida que se puede obtener sin distorsión?
- [1 pt.] 11) Se implementa un circuito serie compuesto por una fuente de tensión senoidal ( $V_S(t)$ ,  $V_{eff} = 220$  V,  $f = 50$  Hz) conectada al ánodo de un tiristor (SCR), el propio tiristor, y una resistencia de  $10 \Omega$  conectada al cátodo del tiristor. La señal de disparo ( $v_g(t)$ ) está sincronizada con la tensión de la red de forma que se genera un evento de disparo luego de un tiempo  $\alpha = 5$  ms luego de cada cruce por cero de la misma. El tiristor tiene una tensión de encendido que se puede considerar constante  $V_{AK,ON} = 2$  V. Calcular la potencia disipada en el tiristor.
- [1 pt.] 12) Realizar el corte lateral de un MOSFET de potencia indicando sus características constructivas mas importantes.